

The Algorithm of Rapid Signal Capture and Synchronization Recognition in Wireless Communication and Its Implementation

Ping Gan¹, Huimin Zhang²

¹⁾ Chongqing University, Chongqing 400044 (E-mail: vigor_gp@163.com)

²⁾ Chongqing College of Electronic Engineering, Chongqing 401331(E-mail: zhuomi99@126.com)

Abstract—In the high-speed wireless communication, by the frequency difference impact, it took longer time to capture the carrier and to establish the symbol synchronization within the demodulation. Given the characteristics of $\pi/4$ -DQPSK modulation and frequency-hopping communication, which were widely used in the wireless communication, the algorithm of the rapid signal capture and synchronization recognition were established depending on the $\pi/4$ -DQPSK. Thus, this algorithm combined with the signal energy detection and the frequency capture which were in the parallel processing, by taking advantages of the FPGA technology, as a result, achieving the rapid capture of the carrier and the synchronization recognition in the wireless communication. Finally, the experiments were made, by applying the established models to the rapid signal capture and synchronization recognition. The results show the stable recovery of the clock synchronization signal in the eight symbol time.

Keywords—wireless communication signal, detection, synchronous recognition, FPGA

无线通信信号快速捕获和同步识别算法及实现

甘平¹ 张慧敏²

¹⁾重庆大学 重庆 400030

²⁾重庆电子工程职业学院 重庆 401331

摘要 在高速率无线通信中, 频差影响会导致解调中载波捕获和符号同步建立时间过长, 为解决此问题, 本文根据无线通信中广泛应用的 $\pi/4$ -DQPSK 调制模式和跳频通信突发性的特点, 提出从 $\pi/4$ -DQPSK 载波信号中快速捕获和同步识别算法, 结合信号能量检测、频移初捕并行处理算法, 采用 FPGA 技术实现无线通信信号的符号快速捕获和同步识别, 最快可以在 8 个符号位时稳定恢复时钟同步信号, 同时给出实验结果。

关键词 无线通信信号, 解调, 同步识别, FPGA

1. 引言

随着无线数据通信的发展, $\pi/4$ -DQPSK 调制方式在无线通信中得到广泛的应用。但数据传输码速率日益提高, 特别是跳频模式的应用, 对 $\pi/4$ -DQPSK 的解调提出不受或基本不受频差影响的位定时跟踪要求。本文正是基于这点问题, 提出符号快速同步捕获和同步识别的方法, 用 FPGA 技术实现 $\pi/4$ -DQPSK 的快速解调。

重庆市自然科学基金资助项目 (CSTC, 2005 BB2212)

FPGA 芯片技术的不断发展, 逻辑单元成倍增加, DSP 硬核的加入, 以及内部存储单元的增加, 使 FPGA 的并行数据处理能力成倍提高, 这就为算法实现提供硬件基础。

2. $\pi/4$ -DQPSK 解调中的快速同步捕获和同步识别算法

2.1 同步识别原理

在实际应用中, 主要是解调位同步建立时间过长, 即时钟的同步时间过长, 这对跳频或突发数据包 (突发解调)

都不适应。每个数据包包头采用 BTR 码建立同步，BTR 的形式为“... $x_{k-1}y_{k-1}x_ky_kx_{k+1}y_{k+1}$...=...11001100...”，即 I、Q 两路基带信号均为“...101010...”序列。

把 $\pi/4$ -DQPSK 调制信号的数学表达式简化为：
 $s(t) = A(t)\cos[\omega t + \theta(t)]$ 其中， $A(t) = \sum_k g(t - kT_s)$ ，

则已调基带信号为：

$$\begin{cases} sti(t) = A(t)\cos\theta(t) \\ stq(t) = A(t)\sin\theta(t) \end{cases} \quad (1)$$

$$\text{令 } x(t) = S_r(t)S_r^*(t - 2T_s)$$

$$x(t) = A^2(t)e^{j[2\Delta\omega T_s + \theta(t) - \theta(t - 2T_s)]} \quad (2)$$

可近似认为 $A(t - 2T_s) = A(t)$ ，由 $\pi/4$ -DQPSK 相位关系，易知在 BTR 期间有 $\theta(t) - \theta(t - 2T_s) = -\frac{\pi}{2}$ ，因此有

$$\begin{cases} x_i(t) = A^2(t)\sin(2\Delta\omega T_s) \\ x_q(t) = A^2(t)\cos(2\Delta\omega T_s) \end{cases} \quad (3)$$

当 $t = t_0 + kT$ 时，定义

$$\begin{cases} Acq_i(k) = \sum_{n=0}^{N-1} x_i(t_0 + kT + nT_s) \\ Acq_q(k) = \sum_{n=0}^{N-1} x_q(t_0 + kT + nT_s) \end{cases} \quad (4)$$

$$Amp(k) = Acq_i^2(k) + Acq_q^2(k) \quad (5)$$

其中 $k = 0, 1, 2, \dots, (m-1)$ ； t_0 为起始时刻， $0 \leq t_0 \leq T_s$ ； T 为抽样间隔； $T_s = mT$ ， m 为一个码元内的抽样点数； N 为窗口宽度， $L/2 \leq N \leq L$ ， L 为 BTR 的长度。 $Acq_i(k)$ ， $Acq_q(k)$ 和 $Amp(k)$ 在 BTR 期间都将迅速增加，对于噪声和其它随机信号， $Acq_i(k)$ 和 $Acq_q(k)$ 都趋于 0。

判断突发帧到达的准则：
 $\max\{Amp(k) | k = 0, 1, \dots, m-1\} \geq A_{th}$ (A_{th} 为预先设定的门限)。在非相干解调系统中，判断突发帧的到达是一个难点。

抽样时刻判决准则：由于信号经过升余弦滤波，故 $Amp(k), k = 0, 1, \dots, m-1$ 的各值不尽相同，其中，使 $Amp(k) = \max\{Amp(k) | k = 0, 1, \dots, m-1\}$ 成立的 k 值所对应的抽样时刻最接近判决点；而使 $Amp(k) = \min\{Amp(k) | k = 0, 1, \dots, m-1\}$ 成立的 k 值所对应的抽样时刻最接近零点。通过以上过程，可以快速得到位同步信息。

2.2 参数选择

BTR 的长度 $L = 56$ ，由于 $L/2 \leq N \leq L$ ， N 一般取值 16~24， N 越大，抑制噪声能力越强。

2.3 符号同步调整

由于同步捕获期间，定位时钟没有准确同步，必须要进行调整，同时同步时钟可能发生漂移，故应进行跟踪。解决方法有两种：一是提高每个符号的采样点数，二是进行跟踪。

抽样判决器的同相输入信号为 $x(n)$ ，正交输入信号为 $y(n)$ ， $n = 0, 1, 2, \dots$ ，则位同步跟踪的误差信号如图 1 所示。

在没有频差的情况下，假设只有同相信号有过零点，正交信号没有过零点，则可得

$$\text{超前时：} e(k) = x(km)\{x(km-2) - x(km+2)\} < 0 \quad (6)$$

$$\text{滞后时：} e(k) = x(km)\{x(km-2) - x(km+2)\} > 0 \quad (7)$$

$$e(k) = x(km)\{x(km-2) - x(km+2)\} + y(km)\{y(km-2) - y(km+2)\} \quad (8)$$

当 $e(k) > th$ 或 $e(k) < -th$ 时，对位定时时钟进行一次调整。

在位定时调整的过程中，为减小噪声的影响，对 $e(k)$ 进行如下处理： $e = \sum_k e(k)$ ，并设一门限 th ，位定时滞后当 $e(k) > th$ 或 $e(k) < -th$ 时，对位定时时钟进行一次调整并为下一次调整作准备。

3. 快速同步捕获和位同步跟踪的 FPGA 设计

$\pi/4$ -DQPSK 解调采用中频差分检测，其检测框图如图 2 所示。

从图 2 可知，较之通常的中频差分检测结构，没有同步头捕获和同步时钟调整/跟踪部分，在 FPGA 设计中，为了缩短同步时钟建立时间，将成形后的 I、Q 向量同时送入同步头捕获模块，根据 BTR 码（“1010...”） $\theta(t) - \theta(t - 2T_s) = -\frac{\pi}{2}$ 的特点， $Acq_i(k)$ ， $Acq_q(k)$ 和 $Amp(k)$ 在 BTR 期间都将迅速增加，对于噪声和其它随机

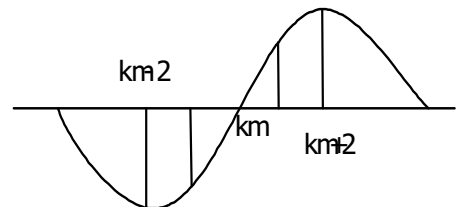


图 1 位同步跟踪的误差信号

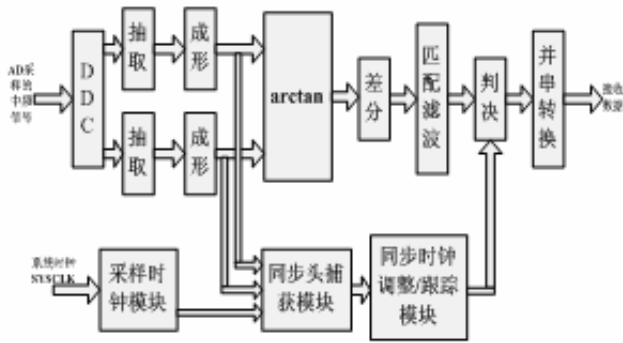


图2 中频差分检测框图

信号, $Acq_i(k)$ 和 $Acq_q(k)$ 都趋于 0。用 VHDL 语言设计, 每个采样区有 10 个采样点, 按照数学式(5)的方法, 将 I 通道每一个采样区(即 10 个采样点)中第 5 个采样点记录, 然后间隔一个采样区后, 在相邻两个采样区后又记录第 5 个采样点数据, 将前后两个记录的采样点相乘, 再和下一组相乘的值相加, 然后求其平方, 以此类推, 将每次求得的 I 路和 Q 路按照数学式 $Amp(k) = Acq_i^2(k) + Acq_q^2(k)$ 计算, 然后判断 $Amp(k) > Amp(k-1)$, 以 L=24bit 为例, 需连续判断 11 次。采用 VHDL 程序设计, 如果是 BTR 码则能量线性递增特性, 从而捕获同步头。

在捕获到同步头后, 根据位同步跟踪和调整原理快速调整位同步时钟, 其实现方法仍将 10 个采样点作为一个采样区, 用 VHDL 语言设计, 按照数学式(8)的方法, 将 I 通道每一个采样区(即 10 个采样点)中每个采样点记录, 仍然采用类似与能量递增的方法, 获取 10 个采样点中能量最高的采样点值, 比如在连续读取 24bit 的 BTR 码 (“11001100...””)后, 在 10 个采样点中判断出第 3 采样点处, I 路和 Q 路累加平方和的值最大, 则调整位同步时钟, 这样可以快速精确地实现同步时钟的调整和跟踪。

4. 设计测试

4.1 接收端时钟模块

对全局信号 40.96MHz 进行 8 分频, 获取 5.12MHz 时钟, 由于 I、Q 分路处理, 设计要求是 1024Kbits/s, 则对 I、Q 每路的速率为 512Kbits/s, 用 5.12MHz 时钟, 就是每 1 个符号位用 10 个采样时钟 (5.12MHz) 采样, 以确保采样精度。

时钟模块的设计就是分频计数器模块的设计, 设计采用等占空比波形输出。

4.2 接收端同步头捕获模块

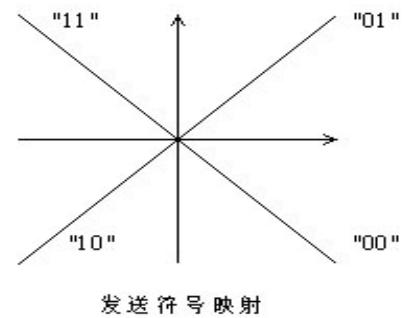
根据设计原理, 由于同步头是“110011001100.....”的训练序列, 长度为 48bits, 用 $\pi/4$ -DQPSK 调制方式, 而符号发送端映射模式如图 3 所示。

经过 D/A 输出后观察到的测试波形如图 4 所示。

根据其数学原理(见同步原理), $Acq_i(k)$, $Acq_q(k)$ 和 $Amp(k)$ 在 BTR 期间都将迅速增加, 对于噪声和其它随机信号, $Acq_i(k)$ 和 $Acq_q(k)$ 都趋于 0。由于同步头的波形特征非常明显, 所以捕获软件方案按照其数学原理编写 VHDL 程序。

4.3 同步时钟调整模块/跟踪模块

每隔 10 个采样时钟采样一次, 记录相关数据, 然后对所采集到的数据进行平方和累加, 当采样一定长度的符号后, 将所得的累加和(分别对应 I 和 Q 路)进行 $i^2 + q^2$, 找到其最大值位置, 然后调整时钟(此处的时钟为 512KHz), 在调整时钟时不改变频率, 只改变其相位关系, 以到达最佳同步关系。其调整后时钟波形如图 5 所示。



发送符号映射

图3 符号映射模式图

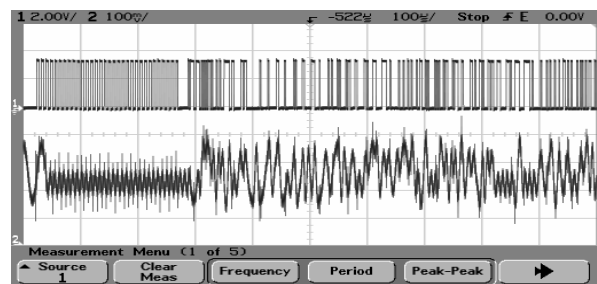


图4 发送端同步头是“110011001100.....”的训练序列的调制波形(通道 1 显示发送数据, 通道 2 显示对应的 I 路调制波形)

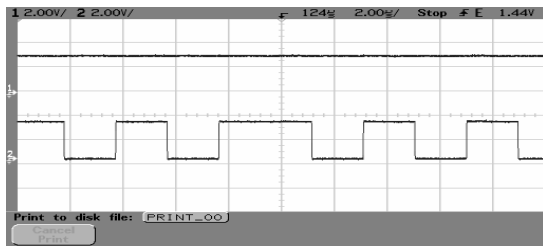


图5 通道2正在调整的时钟波形

采用在没有频差的情况下，假设只有同相信号有过零点，正交信号没有过零点，采用位定时的超前、滞后处理方法对位同步信息进行跟踪，就可以获得准确同步。

4.4 同步测试结果

用FPGA实现位定时捕获和位定时跟踪算法，有以下几个优点：（1）捕获周期较短（最短为8个符号位）；（2）有利于缩短报头长度；（3）可以为报头独特码的检测提供比较准确的位定时时钟，有利于独特码的检测；（4）观察区间长，降低假同步概率；（5）对信噪比较低的情况下，位同步捕获和位同步抖动的误差变化较缓慢。

最后在射频端数据收发对应的测试结果如图6所示。

5. 结论

设计适合于软件无线电中 $\pi/4$ -DQPSK突发信号的快速位同步捕获和跟踪算法，该算法易于FPGA实现，与传统 $\pi/4$ -DQPSK的位定时和跟踪算法相比具有捕获周期短，位定时准确，抗干扰能力强，系统设计灵活等优点，特别是不受或基本不受频差影响，适合于高传输码率情况下的跳频通信接收系统中使用。

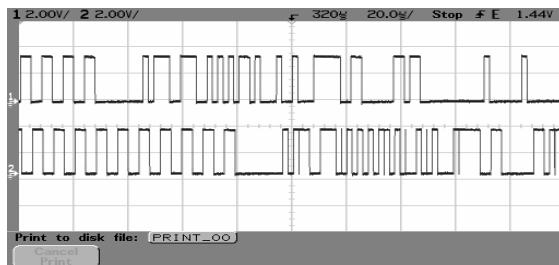


图6 在射频端数据收发对应的测试结果（通道1为发端数据，通道2为收端数据）

参考文献

- [1] 赵杭生, 甘仲民, 屈德新. $\pi/4$ -DQPSK 调制的快速位同步捕获和位同步跟踪. 电子学报[J], 1999, 70(1): 1~10.
- [2] 胡云, 赵林靖, 李建东. 软件无线电中 $\pi/4$ -DQPSK 突发信号位定时算法[J]. 电子科技, 2005, 6: 2~4.
- [3] 宋祖顺, 宋晓勤等编著. 现代通信原理[M]. 电子工业出版社, 2007.
- [4] 郭梯云, 杨家玮, 李建东编著. 通信工程丛书: 数字移动通信[M]. 北京: 人民邮电出版社, 2001.1.
- [5] Marvin K and Dariush Divsalar, Doppler-corrected differential detection of MPSK. IEEE transaction on Communications[J]m, 1989, vol. 37, no. 2, pp: 99~109.